

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-322253

(43)Date of publication of application : 04.12.1998

(51)Int.Cl.

H04B 7/005  
// H04B 7/26

(21)Application number : 09-147232

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 20.05.1997

(72)Inventor : UESUGI MITSURU  
KATO OSAMU

(54) RECEIVER, TRANSMITTER, BASE STATION EQUIPMENT AND MOBILE STATION EQUIPMENT USING THEM

(57)Abstract:

PROBLEM TO BE SOLVED: To improve an error rate characteristic by assuming a virtual coder that is a united coder of a line model and a convolution coder and using it to conduct Viterbi decoding thereby conducting MLSE (Maximum Likelihood Sequence Estimator) equalization and Viterbi decoding for convolution codes simultaneously.

SOLUTION: In the data transmitter, a convolution coder 501 codes transmission data 500 in the transmission system and a modulator 502 modulates the coded data and a transmission antenna 503 sends the modulated signal. Furthermore, in a reception system, a reception signal received by a reception antenna 504 is given to a UDMV (United Decoder with MLSE and Viterbi decoder) 505 via a detector to compensate distortion resulting from multi-path fading and to conduct error correction by Viterbi decoding thereby acquiring demodulated data 506. The UDMV 505 are a united demodulator between the MLSE and the Viterbi decoder.



## LEGAL STATUS

[Date of request for examination] 30.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-322253

(43)公開日 平成10年(1998)12月4日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 B 7/005

H 0 4 B 7/005

// H 0 4 B 7/26

7/26

M

審査請求 未請求 請求項の数12 F D (全 12 頁)

(21)出願番号 特願平9-147232

(22)出願日 平成9年(1997)5月20日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 上杉 充

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(72)発明者 加藤 修

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

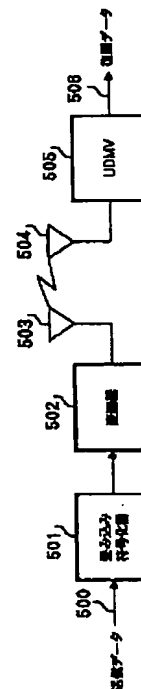
(74)代理人 弁理士 鷲田 公一

(54)【発明の名称】 受信装置及び送信装置並びにこれらを用いた基地局装置及び移動局装置

(57)【要約】

【課題】 回線の歪みを除去する等化器と、誤り率の低減を図る誤り訂正を同時に行い、受信品質の向上を図ること。

【解決手段】 受信アンテナ504で受信された信号を検波器を介してUDMV505に入力してマルチパスフェージングに対する歪の補償とビタビ復号による誤り訂正とを同時に行って復調データ506を取得する。UDMV505は、MLSEとビタビ復号器を融合した復調器で構成する。



**【特許請求の範囲】**

【請求項1】 マルチパスフェージングによる歪みを補償する等化と誤り訂正符号化されたデータを復号する誤り訂正とを同時に行う受信系を備えたことを特徴とする受信装置。

【請求項2】 受信系は、等化器と誤り訂正器とを融合した復調器を備え、この復調器にてマルチパスフェージングに対する歪みの補償と誤り訂正を同時に行うことを特徴とする請求項1記載の受信装置。

【請求項3】 復調器は、送信側の符号化器から受信系のアンテナに至るマルチパスを仮想的にデジタルフィルタで構築した仮想符号化器を備えることを特徴とする請求項2記載の受信装置。

【請求項4】 復調器は、送信側の符号化器及び回線の歪みを融合した状態を仮想符号化器に設定する手段と、前記仮想符号化器へ候補信号を与える一方、前記仮想符号化器から出力されるレプリカと受信信号との誤差信号から送信データ系列を推定する手段とを具備する請求項3記載の受信装置。

【請求項5】 マルチパスフェージングによる歪みを補償する等化と誤り訂正符号化されたデータを復号する誤り訂正とを同時に行う復調器と、受信データを送信系列別に等化する複数の等化器と、前記等化器で復号された復調データを送信系列別にCRC検査するCRC検査手段と、CRC検査結果から前記各等化器の復調データが誤りの場合に前記復調器の復調データを選択する選択手段とを具備する請求項1記載の受信装置。

【請求項6】 送信側にて系列内の順番は保持したまま符号化率の逆数の深さのインタリーブを施した変調データを受信し、送信データの符号化で生じた複数の送信系列に対応した変調データに対して、マルチパスフェージングによる歪みを補償する等化と誤り訂正とを同時に行うことを特徴とする受信装置。

【請求項7】 送信側にて複数の周波数間で周波数ホッピングさせた変調データを受信し、周波数ホッピング動作に同期して抽出した特定送信装置からの変調データに対して、マルチパスフェージングによる歪みを補償する等化と誤り訂正とを同時に行うことを特徴とする受信装置。

【請求項8】 請求項1乃至請求項6記載のいずれかの受信装置に対して、系列内の順番は保持したまま符号化率の逆数の深さのインタリーブを施した送信データを送信することを特徴とする送信装置。

【請求項9】 請求項1乃至請求項6記載のいずれかの受信装置に対して、複数の周波数間で周波数ホッピングさせた送信データを送信することを特徴とする送信装置。

【請求項10】 請求項1乃至請求項6記載のいずれかの受信装置に対して、送信データにCRC検査ビットを付加した後でインバーチブル符号を用いて符号化した変

調データを送信することを特徴とする送信装置。

【請求項11】 マルチパスフェージングによる歪みを補償する等化と誤り訂正符号化されたデータを復号する誤り訂正とを同時に行う受信系を備え、セル内を移動する移動局との間でデータ伝送を行うことを特徴とする基地局装置。

【請求項12】 マルチパスフェージングによる歪みを補償する等化と誤り訂正符号化されたデータを復号する誤り訂正とを同時に行う受信系を備え、セル内に設置された基地局との間でデータ伝送を行うことを特徴とする移動局装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、マルチパスフェージングによる歪みの補償と誤り訂正とを行う受信装置及びこの受信装置に対してデータ送信する送信装置に関する。

**【0002】**

【従来の技術】移動通信分野では、マルチパスフェージングの克服と伝送品質の改善とが不可欠である。マルチパスフェージングに対しては等化器が有効であることが知られており、伝送品質の改善に対しては誤り訂正符号、特に畳み込み符号を軟判定ビタビ復号器で復号する方法が有効である。

【0003】従来のデータ伝送装置は、受信系にマルチパスフェージングによる歪みを補償するための等化器と、誤り訂正のためのビタビ復号器とを備え、等化器とビタビ復号器とを独立に動作させている。

【0004】図12は、等化器とビタビ復号器を独立に動作させる従来のデータ伝送装置の構成図である。送信側で、送信データ1が畳み込み符号化器2で符号化され変調器3で変調されて送信アンテナ4から送信される。受信側では、受信アンテナ5で受信した受信信号が等化器6に渡され、等化器6の出力がビタビ復号器7で復号され復調データ8が得られる。等化器6は、回線上で生じるマルチパスフェージングによる歪みを補償するものであり、MLSE(Maximum Likelihood Sequence Estimator)またはDFE(Decision Feedback Equalizer)などが用いられる。特に、MLSEはフェージング変動の激しい移動無線チャネルでもほぼ最適な特性を実現できることが知られている。

【0005】図13に示す回線モデルを用いてMLSE形等化器6の動作原理を説明する。

【0006】同図に示す回線モデルは、 $(N+1)$ 波のパスによるマルチパスフェージングのモデルである。この回線モデルでは、送信信号100が遅延器101-0～101-Nで遅延され、レイリーフェージング付加器102-0～102-Nでフェージング変動を受け、減衰器103-0～103-Nで減衰されて複素加算器104で加えられて受信信号105となる。

【0007】遅延器101-0~101-Nは様々なパスの長さによる遅延を表しており、レイリーフェージング付加器102-0~102-Nはそれぞれのパスに対して独立にかかるレイリーフェージングを表している。送信信号100は、それらの遅延器とレイリーフェージング付加器によりランダムな位相変動とレイリー分布に従ったレベル変動を受ける。

【0008】減衰器103-0~103-Nはそれぞれのパスに対して独立にかかる減衰を表している。送信信号や受信信号はベースバンドにおいて直交成分と同相成分から成っており、それぞれを実部および虚部とした複素数として考えられるため、図13の各部分は複素数である。よって、最終的に受信アンテナ端で合成される場合のモデルも複素加算器104となる。

【0009】図13に示す回線モデルを、更にデジタルフィルタに近いモデルとして書き直したものが図14に示されている。送信信号200が遅延器201-0~201-(N-1)で遅延され、複素ゲイン付加器202-0~202-Nで複素ゲインをつけられて複素加算器203で合成され受信信号204となる。複素ゲイン付加器202-0~202-Nは、図11のレイリーフェージング付加器102-0~102-Nと減衰器103-0~103-Nによる変動を合わせたものである。

【0010】MLSEは、まず複素ゲイン付加器202-0~202-Nをデータの中に挿入されたユニークワードなどを用いて推定する。複素ゲイン付加器202-0~202-Nがわかれば回線モデルが再現できるので、遅延器201-0~201-(N-1)によって蓄積された過去の送信データ200を状態として、推定した複素ゲイン付加器202-0~202-Nの設定された図14のフィルタを使用してレプリカを生成し、ビタビ復号によって送信系列を推定する。

【0011】ところが、MLSEでは誤り率をある程度までしか下げることができない場合があるため、MLSEに併用する形で誤り訂正符号が採用されている。畳み込み符号化器2では、送信データ1が1ビット入ごとに、過去の数ビットの状態と合わせて複数のビットを生成する。例えば、符号化率が1/2であれば送信データ1が1ビット入ごとに2ビットが生成される。この様子を示したものが図15である。送信データ300が遅延器301-0~301-(M-1)で遅延され、複素ゲイン付加器302-0~302-Mで複素ゲインがつけられ排他的論理和回路303でその排他的論理和が取られて送信信号304となる。遅延器301-0~301-(M-1)によって過去の送信データ300がため込まれており、これがビタビ復号で復号する際の状態となる。畳み込み符号器の場合は符号器は不変であり、更にビット演算のみであるため複素ゲイン付加器302-0~302-Mは実際は0, 1, j, 1+jのいずれかの値のみをとる。この場合、図15の符号器の構成は予めわかっ

ているので、受信側のビタビ復号器7ではビタビ復号によってこれを復号することができる。

【0012】このように、従来のデータ伝送装置ではマルチパスフェージングの歪みをMLSEなどの等化器で補償し、補償しきれなかった誤りを畳み込みとビタビ復号などの誤り訂正符号で訂正して良好な品質のデータ伝送を実現している。

【0013】

【発明が解決しようとする課題】しかしながら、上記従来のデータ伝送装置では、等化器による回線の歪み補償とビタビ復号器による誤り訂正とが独立に行われていたため、各々の系列における拘束条件が独立となり、ビタビ復号のパスのうち回線の状態によってはあり得ないパスも候補に入れてしまうため、誤り率の改善効果が劣る要因となっていた。

【0014】本発明は、以上のような実状に鑑みてなされたもので、マルチパスフェージングによる回線の歪みを除去する等化と誤り率の低減を図る誤り訂正を同時に行うことにより、受信品質の改善を図り、また等化と誤り訂正という2回のステップを1回で行うことでトレースバックの回数やメモリ量の削減を図る事のできる受信装置及び送信装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明は、上記課題を解決するため、回線のモデルと畳み込み符号化器を融合した仮想的な符号化器を想定し、これを用いてビタビ復号を行うことで、MLSEによる等化と畳み込み符号に対するビタビ復号復号を同時に行い、これによって誤り率特性を向上する。

【0016】

【発明の実施の形態】本発明の請求項1記載の発明は、マルチパスフェージングによる歪みを補償する等化と誤り訂正符号化されたデータを復号する誤り訂正とを同時に行う受信系を備えたものであり、誤り率特性を向上することができ、トレースバックの回数やメモリ量の削減が図られるという作用を有する。

【0017】請求項2記載の発明は、請求項1記載の受信装置において、等化器と誤り訂正器とを融合した復調器を備え、この復調器にてマルチパスフェージングに対する歪みの補償と誤り訂正を同時に行うものであり、受信品質を向上させるという作用を有する。

【0018】請求項3記載の発明は、請求項2記載の受信装置において、復調器が、送信側の符号化器から受信系のアンテナに至るマルチパスを仮想的にデジタルフィルタで構築した仮想符号化器を備えるものであり、マルチパスフェージングに対する歪みの補償と誤り訂正を同時に行うことができるという作用を有する。

【0019】請求項4記載の発明は、請求項3記載の受信装置において、復調器が、送信側の符号化器及び回線の歪みを融合した状態を仮想符号化器に設定する手段

と、前記仮想符号化器へ候補信号を与える一方、前記仮想符号化器から出力されるレプリカと受信信号との誤差信号から送信データ系列を推定する手段とを具備するものであり、MLSEによる等化と畳み込み符号に対するビタビ復号とを同時に行うことができ、誤り率特性を向上するという作用を有する。

【0020】請求項5記載の発明は、請求項1記載の受信装置において、マルチパスフェージングによる歪みを補償する等化と誤り訂正符号化されたデータを復号する誤り訂正とを同時に行う復調器と、受信データを送信系列別に等化する複数の等化器と、前記等化器で復号された復調データを送信系列別にCRC検査するCRC検査手段と、CRC検査結果から前記各等化器の復調データが誤りの場合に前記復調器の復調データを選択する選択手段とを具備するものであり、誤りがないと判定されたデータフレームを採用し、全てのデータフレームが誤りと判定された場合のみ復調器の結果を採用することで、データフレームのフレーム誤り率特性を向上させるという作用を有するものである。

【0021】請求項6記載の発明は、送信側にて系列内の順番は保持したまま符号化率の逆数の深さのインタリーブを施した変調データを受信し、送信データの符号化で生じた複数の送信系列に対応した変調データに対して、マルチパスフェージングによる歪みを補償する等化と誤り訂正とを同時に行うものであり、インタリーブを施した送信データを正しく復調できるという作用を有するものである。

【0022】請求項7記載の発明は、送信側にて複数の周波数間で周波数ホッピングさせた変調データを受信し、周波数ホッピング動作に同期して抽出した特定送信装置からの変調データに対して、マルチパスフェージングによる歪みを補償する等化と誤り訂正とを同時に行うものであり、低速フェージング時にも誤り率特性を向上できるという作用を有する。

【0023】請求項8記載の発明は、請求項1乃至請求項6記載のいずれかの受信装置に対して、系列内の順番は保持したまま符号化率の逆数の深さのインタリーブを施した送信データを送信する送信装置であり、等化と誤り訂正とを同時に行う受信装置においてもインタリーブの施された送信データを復調できるという作用を有する。

【0024】請求項9記載の発明は、請求項1乃至請求項6記載のいずれかの受信装置に対して、複数の周波数間で周波数ホッピングさせた送信データを送信する送信装置であり、遅いフェージングに対しても十分なインタリーブ効果を奏することができるという作用を有する。

【0025】請求項10記載の発明は、請求項1乃至請求項6記載のいずれかの受信装置に対して、送信データにCRC検査ビットを付加した後でインバーチブル符号

を用いて符号化した変調データを送信する送信装置であり、CRC検査ビットを付加する単位をデータフレームとすると、データフレームのフレーム誤り率の低減を図る作用がある。

【0026】請求項11記載の発明は、マルチパスフェージングによる歪みを補償する等化と誤り訂正符号化されたデータを復号する誤り訂正とを同時に行う受信系を備え、セル内を移動する移動局との間でデータ伝送を行う基地局装置であり、基地局における誤り率特性を向上できるという作用を有する。

【0027】請求項12記載の発明は、マルチパスフェージングによる歪みを補償する等化と誤り訂正符号化されたデータを復号する誤り訂正とを同時に行う受信系を備え、セル内の設置された基地局との間でデータ伝送を行う移動局装置であり、移動局における誤り率特性を向上できるという作用を有する。

【0028】以下、本発明の実施の形態について図面を参照しながら具体的に説明する。

(実施の形態1) 図1に本発明の実施の形態1に係るデータ伝送装置の概略構成を示している。本実施の形態に係るデータ伝送装置は、送信系において送信データ500を畳み込み符号化器501で符号化して変調器502で変調した後、送信アンテナ503から送信する。また、受信系において受信アンテナ504で受信された受信信号を検波器を介してUDMV(United Decoder with MLSE and Viterbidecoder)505に入力してマルチパスフェージングに対する歪の補償とビタビ復号による誤り訂正とを同時に行って復調データ506を取得する。UDMV505は、MLSEとビタビ復号器を融合した復調器である。

【0029】図2はUDMV505の機能ブロックの構成を示している。仮想畳み込み符号化器511は、送信系の畳み込み符号化器501と回線の歪みとを融合した状態を持つように構成されたデジタルフィルタである。仮想畳み込み符号化器511の詳細は後述する。チャネル推定部512は、受信信号中に挿入されたユニークワードを用いて送信波の伝搬経路を再現する複素ゲイン係数を推定して仮想畳み込み符号化器511へ設定する。状態推定部513は、送信信号のビット数に対応した候補信号を送信系と同じ変調を加える変調器514を介して仮想畳み込み符号化器511へ入力する。その一方で、仮想畳み込み符号化器511からのレプリカと実際の受信信号との誤差を示す誤差信号を加算器515から取り込んで、誤差の小さい候補につながるパスを選択し、選択パスで連結されたデータ列を復調データとして出力する。

【0030】図3に符号化率が1/2で変調にQPSK変調を用いた場合の仮想畳み込み符号化器511の構成を示している。

【0031】同図に示す仮想畳み込み符号化器511

は、 $(M+N)$  個の遅延器  $401-0 \sim 401-(M+N-1)$  が直列接続された遅延器列と、回線の波数に応じた数  $(=N+1)$  の複素ゲインブロックと、各複素ゲインブロックに対応して設けられた複素排他的論理和回路  $403-0 \sim 403-N$  と、複素排他的論理和回路  $403-0 \sim 403-N$  の出力に回線の歪を補償するゲインを掛ける複素ゲイン回路  $404-0 \sim 404-N$  と、各複素ゲイン回路  $404-0 \sim 404-N$  の出力を加算する複素加算器  $405$  とから構成されている。

【0032】各複素ゲインブロックは、それぞれ畳み込み符号化器  $501$  の拘束長に応じた数の複素ゲイン付加器  $(402-0-0 \sim 402-0-M)$ 、 $(402-1-0 \sim 402-1-M)$ 、 $\dots$   $(402-N-0 \sim 402-N-M)$  からなる。

【0033】最上段の複素ゲインブロックを構成する複素ゲイン付加器  $402-0-0 \sim 402-0-M$  には、遅延器列において最初の遅延器  $401-0$  に入力するデータ  $400$  及び遅延器  $401-0 \sim 401-(M-1)$  の遅延データが各々順番に応じて並列に入力される。これら複素ゲイン付加器  $402-0-0 \sim 402-0-M$  の出力の複素排他的論理和を複素排他的論理和回路  $403-0$  で計算する。

【0034】すなわち、仮想畳み込み符号化器  $511$  における遅延器  $401-0 \sim 401-(M-1)$ 、複素ゲイン付加器  $402-0-0 \sim 402-0-M$ 、及び複素排他的論理和回路  $403-0$  は、図15に示す畳み込み符号化器と同じフィルタ構造になっている。送信系の畳み込み符号化器  $501$  は拘束長及び複素ゲインが固定で予め判っているので、1つの複素ゲインブロックあたりの遅延個数、複素ゲイン付加器  $402-0-0 \sim 402-0-M$  の各複素ゲイン  $(c)$  を決めることができる。

【0035】仮想畳み込み符号化器  $511$  において、各複素ゲインブロックに入力する遅延データ群は最上段のブロックから最下段のブロックにかけてブロック単位で1遅延つつシフトしている。遅延器  $401-0 \sim 401-N$  による各遅延を  $(N+1)$  個の波数に対応した各伝搬経路の遅延とみなすことにより、遅延器  $401-0 \sim 401-N$ 、複素ゲイン付加器  $404-0 \sim 404-N$ 、及び複素加算器  $405$  は、図14に示す回線の歪を補償するデジタルフィルタと同じフィルタ構造になっている。UDMV  $505$  では、チャネル推定部  $512$  がユニークワードに基づいて現在の各伝搬経路の状態に応じて歪を補償するフィルタ係数を推定して仮想畳み込み符号化器  $511$  の複素ゲイン付加器  $404-0 \sim 404-N$  の複素ゲイン  $(p)$  を決定する。

【0036】以上のように構成されたデータ伝送装置の動作を説明する。まず、送信系において、送信データ  $500$  が畳み込み符号化器  $501$  で誤り訂正符号化を施され、これにより送信データ  $500$  が1ビット入る度に畳み込み符号化器  $501$  からは数ビットの系列が生成され

る。この系列を変調器  $502$  で変調して送信アンテナ  $503$  から送信する。受信系では、この信号に回線の歪みが増加したものを受信アンテナ  $504$  で受信する。この受信信号は、UDMV  $505$  で復調され、復調データ  $506$  が得られる。

【0037】ここで、UDMV  $505$  の動作を説明する。UDMV  $505$  は、送信側の畳み込み符号化器  $501$  と回線の歪みを融合した状態を持つことで、MLSE による等化とビタビ復号による誤り訂正を同時に行うことになる。

【0038】UDMV  $505$  では、状態推定部  $513$  から与えられる候補信号が変調器  $514$  を経由して送信データ  $400$  として遅延器列の初段の遅延器  $401-0$  に入力し、遅延器  $401-0 \sim 401-(M+N-1)$  で順次遅延される。これに対してまず複素ゲイン付加器  $402-0-0 \sim 402-N-M$  で複素ゲイン  $(c)$  が乗じられた後に、複素排他的論理和回路  $403-0 \sim 403-N$  で実部、虚部各々の排他的論理和が取られる。複素ゲイン付加器  $402-0-0 \sim 402-N-M$  は図15の複素ゲイン付加器  $302-0 \sim 302-M$  に対応しており、 $0, 1, (j+1)$  のいずれかの値のみとる。また、対応としては、 $0 \sim N$  の間の任意の整数を  $X$ 、 $0 \sim M$  の間の任意の整数を  $Y$  とすると、 $402-X-Y=302-Y$  である。複素排他的論理和回路  $403-0 \sim 403-N$  は、複素ゲイン付加器  $402-0-0 \sim 402-N-M$  の出力に対して、以下のような演算を行う。

【0039】

$403-0: 402-0-0 \sim 402-0-M$  の複素排他的論理和

$403-1: 402-1-0 \sim 402-1-M$  の複素排他的論理和

:

:

$403-N: 402-N-0 \sim 402-N-M$  の複素排他的論理和

複素排他的論理和回路  $403-0 \sim 403-N$  の出力は、次に複素ゲイン付加器  $404-0 \sim 404-N$  で更にゲイン  $(p)$  を乗じられる。複素ゲイン付加器  $404-0 \sim 404-N$  は、図14の複素ゲイン付加器  $202-0 \sim 202-N$  に対応しており、時変である。

【0040】複素ゲイン付加器  $202-0 \sim 202-N$  の出力は全て複素加算器  $405$  で加えられて受信信号 (レプリカ)  $406$  となる。

【0041】このような実施の形態によれば、UDMV  $505$  の仮想畳み込み符号化器  $511$  により受信信号  $406$  が遅延器  $401-0 \sim 401-(M+N-1)$  で保持されている送信データ  $400$  による系列で一意に決定されるので、この系列を状態とするビタビ復号を行えば送信データ  $400$  の系列が推定できる。よって、等化と誤り訂正が同時にできることとなる。等化と誤り訂正を同時に

行うことによって、遅延波が存在する場合には拘束長が長くなるのと同じ効果が得られ、等化と誤り訂正を独立に行うよりも、誤り訂正能力が向上する。また、等化と誤り訂正を両方行う場合に比べて、トレースバックの回数やメモリなどが削減できる。

【0042】なお、上記実施の形態1では、符号化率が $1/2$ で変調にQPSK変調を用いるの場合の例であるが、それ以外の場合でも同様な考えで仮想符号化器が構築できる。

【0043】(実施の形態2) 図4は本実施の形態に係るデータ伝送装置の送信系の機能ブロックの構成を示している。受信系の機能ブロックは、上記実施の形態1と同様にUDMVで構成されているものとする。

【0044】フレーム化部611はユーザデータをフレーム化する部分である。畳み込み符号化器601はフレームデータを誤り訂正符号化して、符号化率に対応した数の送信系列を生成する。インタリーブ部612は、符号化後の系列の順番を並べ替えて送信するインタリーブを施す部分であり、送信系列毎にスロットに割り当てるように並べ替え制御する。スロット化部613は、インタリーブの施された送信系列をスロット化しパイロット(pilot)シンボル、送信電力制御(tpc)ビットを設定する。送信系列はスロットに挿入して、変調器614で変調し、送信アンプ615を経由してアンテナから送信される。

【0045】図5に畳み込み符号化器601の設定を示す。符号化率 $1/2$ であり、誤り訂正符号化されたデータは、送信系列(A)602と送信系列(B)603の2つの系列となる。符号化率 $1/2$ の例を示しているが、異なる符号化率の場合は符号化率の分母に応じて系列数が増える。

【0046】以上のように構成された実施の形態の動作を説明する。フレーム化された送信データ600が畳み込み符号化器601で誤り訂正符号化され、送信系列(A)602と送信系列(B)603の2つの系列となってインタリーブ部612へ与えられる。

【0047】本実施の形態では、系列数は符号化率 $1/2$ に対応してA、Bの2系列であるため、符号化率 $1/2$ の逆数、すなわち2スロットにわたってインタリーブを施している。しかも、送信系列(A)602は1回の送信で第1スロットとなる偶数スロット番号に割付け、送信系列(B)603は1回の送信で第2スロットとなる奇数スロット番号に割り付ける。

【0048】符号化率 $=1/N$ の場合に拡張すると、1回の送信が符号化率の逆数であるNに対応して第1スロット～第Nスロットに分けられ、複数ある送信系列が各々異なるスロットに割り付けられ、かつ1スロットには異なる系列のデータが割り付けられないようにする。

【0049】図6はインタリーブ部612によるランダム化の具体例を示している。604はスロット#0の信

号、605はスロット#1の信号、606はスロット#2の信号、607はスロット#3の信号である。送信系列A602および送信系列B603に対して、系列内の順番は保持しながらインタリーブ効果を出すために、これら異なる送信系列を異なるスロットに割り当てている。

【0050】図6は、送信データ600を6ビット毎にデータフレームとした例であり、Zを0～5とすると、最初から6ビット目までをS(0, Z)、次の6ビットをS(1, Z)....というように表している。また、任意の整数をXとすると、S(X, Z)に対して生成された送信系列A602をA(X, Z)、S(X, Z)に対して生成された送信系列B603をB(X, Z)と表す。A(0, Z)はスロット#0(604)に、A(1, Z)はスロット#2(606)に、B(0, Z)はスロット#1(605)に、B(1, Z)はスロット#3(607)に、以下同様に割り当てる。各スロット間はフェージングの相関が小さくなるように時間的に離しておく。

【0051】一方、受信系では、スロット#0(604)とスロット#1(605)を受信した時点でS(0, Z)の推定を行い、スロット#2(606)とスロット#3(607)を受信した時点でS(1, Z)の推定を行い、以下同様に推定して復調する。

【0052】本実施の形態では、送信系の畳み込み符号化器と回線とを融合した仮想符号化器を想定することで等化と誤り訂正を同時に行うUDMV505を受信系に備えるので、単に符号化後の系列の順番を並べ替えるだけではインタリーブが導入できない。そこで、上記したように送信系列(A)602および送信系列(B)603に対して、系列内の順番は保持しながらインタリーブ効果を出すために、これら異なる送信系列を異なるスロットに割り当てている。

【0053】このような実施の形態によれば、UDMVを用いている場合であってもインタリーブを導入でき、誤り訂正の効果を向上することができる。

【0054】(実施の形態3) 本実施の形態は、実施の形態2と同様のインタリーブによりランダム化されたスロットを複数の周波数間で周波数ホッピングさせて送信する例である。

【0055】図7に本実施の形態による周波数ホッピングの例を示す。この図は、4つの周波数を用いた例であり、4人のユーザがデータ伝送を行っている場合である。700は周波数f1の信号、701は周波数f2の信号、702は周波数f3の信号、703は周波数f4の信号である。f1, f2, f3, f4はそれぞれ異なる周波数である。個々のブロックは1スロットを示している。

【0056】あるユーザ1に注目すると、網掛けの部分のように周波数ホッピングすることになる。このユーザ1は、スロットごとにf1, f2, f4, f3, f1, f3, f4, f1, f3, f2という周波数を使用してデータ伝送を行う。

【0057】このような実施の形態によれば、フェージ

ングは周波数が異なると相関が小さくなるため、スロット間に長い時間をあけなくても隣合うスロットでのフェージングを独立のものとすることができる。これにより遅いフェージングに対しても十分なインタリーブ効果が得られるようになる。

【0058】（実施の形態4）本実施の形態に係るデータ伝送装置の送信系の機能ブロックの構成を図8に示し、受信系の機能ブロックの構成を図9に示している。

【0059】本実施の形態の送信系は、送信データをフレーム化するフレーム化部921、フレームデータに検査ビットを付加するCRC検査ビット付加器922、インバーチブル符号化器923、インタリーブ部924、スロット化部925、変調器926、送信アンプ927、アンテナ928等から構成される。

【0060】本実施の形態の受信系は、アンテナ900、検波器901、メモリA902、メモリB903、等化器A904、等化器B905、UDMV906、CRC検査器A907、CRC検査器B908、選択決定器909、セクタ910等から構成されている。UDMV906は、実施の形態1で説明したUDMV505と同様に等化器と誤り訂正器を融合したものである。選択決定器909は、CRC検査器A907及びCRC検査器B908の検査結果を取り込み、図10に示すテーブルに基づいてセクタ910に選択データの指示を与える。

【0061】以上のように構成されたデータ伝送装置の動作を説明する。送信系では、送信データ800はCRC検査ビット付加器801でCRC検査ビットを付加される。これによって、受信側では受信データに誤りがあるかどうかを検査することができる。次にインバーチブル符号化器802にてインバーチブル符号化を施されて送信系列（A）803と送信系列（B）804となる。

【0062】インバーチブル符号とは、送信系列（A）803又は送信系列（B）804のどちらかが得られればもとの送信データ800が復号でき、さらに送信系列（A）803と送信系列（B）804の両方が得られれば誤り訂正ができる符号である。インバーチブル符号化器802の構成は畳み込み符号化器と同じであるので、受信系のUDMV906は実施の形態1と同様な構成でよい。

【0063】これらインバーチブル符号化された送信系列（A）803及び送信系列（B）804に上記実施の形態2と同様のインタリーブを施して、スロット化部925にてスロット化する。

【0064】図11にインタリーブを施したスロットの具体例を示している。送信データS（0，n）の送信では、第1のスロットとなるスロット#0の信号805に送信系列Aのデータが挿入され、第2のスロットとなるスロット#1の信号806に送信系列Bのデータが挿入される。送信データS（1，n）の送信では、第1のス

ロットとなるスロット#2の信号807に送信系列Aのデータが挿入され、第2のスロットとなるスロット#3の信号808に送信系列Bのデータが挿入される。

【0065】受信系では、まず受信アンテナ900で受信した信号を検波器901で検波し、偶数スロットはメモリA902に、奇数スロットはメモリB903に格納する。等化器A904はメモリA902の信号に対して等化を行い、その結果に対してCRC検査器A907で誤りがあるかどうかの検査を行う。等化器B905はメモリB903の信号に対して等化を行い、その結果に対してCRC検査器B908で誤りがあるかどうかの検査を行う。更にメモリA902の信号とメモリB903の信号を両方用いてUDMV906で復調を行う。

【0066】選択決定器909は、図10に示す選択論理テーブルを用いて、CRC検査器A907の結果とCRC検査器B908の結果から、等化器A904の出力、等化器B905の出力、UDMV906の出力のうち最もふさわしいと思われるものをセクタ901で選択させ、受信データ911とする。

【0067】例えば、メモリA902の信号の品質が極端に良好で、メモリB903の信号の品質が極端に劣悪な場合は、CRC検査器A907の結果はOKとなり、CRC検査器B908の結果はNGとなる。メモリB903の信号の品質が極端に劣悪な場合は、UDMV906の出力にメモリB903の影響で誤りが残留することがあり得る。このため、このような場合は等化器A904の出力が最もふさわしいので等化器A904の出力を選択する。

【0068】CRC検査器A907の結果及びCRC検査器B908の結果の両方がNGの場合は、誤り訂正によってUDMV906の品質が最も良いことが期待されるので、このような場合はUDMV906の出力を選択する。

【0069】CRC検査器A907の結果及びCRC検査器B908の結果の両方がOKの場合は、等化器A904の出力でも等化器B905の出力でも品質は良好であるので、任意のに設定でいずれかの等化器A，Bの出力を選択するようにする。

【0070】このような実施の形態によれば、一方の送信系列の信号品質が極端に悪い場合であっても、その品質の悪い信号に引きずられることなく最もよい品質が期待される復調データを取得することができ、CRC検査ビットを付加する単位をデータフレームとすると、特にデータフレームのフレーム誤り率の低減を図ることができる。

【0071】上記各実施の形態のデータ伝送装置をセルラシステムに適用する。セル内を自由に移動する移動局に、基地局のデータ伝送装置で採用している符号化器に対応したUDMVを搭載する。また、基地局に移動局のデータ伝送装置で採用している符号化器に対応したU



DMVを搭載する。基地局と移動局との間で、上述したデータ伝送装置の送信系と受信系と同じデータ伝送を実施することで、伝送品質の向上をはかる。

【0072】以上の説明では、フレームデータをスロット化してデータ伝送する場合を例にして説明したが、符号化、インタリーブ、周波数ホッピングともにこのような形式に限定されるものではない。

【0073】

【発明の効果】以上詳記したように本発明によれば、マルチパスフェージングによる回線の歪みを除去する等化器と、誤り率の低減を図る誤り訂正を同時に行うことができ、それによって受信品質を向上することができるという有利な効果を得られる。また、等化と誤り訂正という2回のステップを1回で行うことができるので、トレースバックの回数やメモリ量の削減が図れるという有利な効果を得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係るデータ伝送装置の概略図。

【図2】実施の形態1の受信系におけるUDMVの機能ブロック図。

【図3】UDMVに設けた仮想畳み込み復号器の機能ブロック図。

【図4】本発明の実施の形態2に係るデータ伝送装置の送信系の機能ブロック図。

【図5】実施の形態2の送信系における畳み込み符号化器の入出力図。

【図6】実施の形態2においてインタリーブの施されたスロットを示す図。

【図7】本発明の実施の形態3に係るデータ伝送装置での周波数ホッピングを示す図。

【図8】本発明の実施の形態4に係るデータ伝送装置の送信系の機能ブロック図。

【図9】本発明の実施の形態4に係るデータ伝送装置の

受信系の機能ブロック図。

【図10】実施の形態4の受信系における選択論理のテーブル構成図。

【図11】実施の形態4においてインタリーブの施されたスロットを示す図。

【図12】従来のデータ伝送装置の概略図。

【図13】回線モデルを示す図。

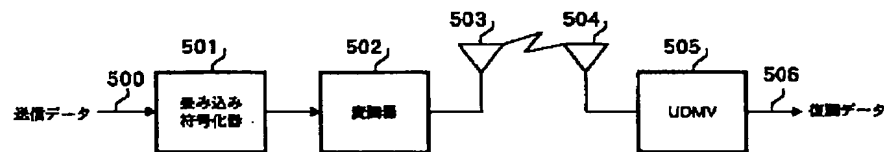
【図14】回線モデルをデジタルフィルタに近い形に書き直したフィルタ構成図。

【図15】符号化器の構成図。

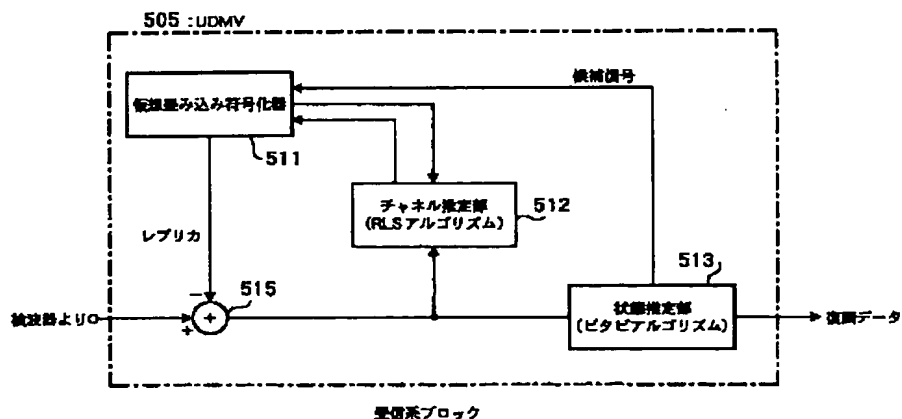
【符号の説明】

- 401-0～401-(M+N-1) 遅延器
- 402-0-0～402-N-M 複素ゲイン付加器
- 403-0～403-N 複素排他的論理和回路
- 404-0～404-N 複素ゲイン付加器
- 405 複素加算器
- 501、601 畳み込み符号化器
- 502 変調器
- 503 送信アンテナ
- 504 受信アンテナ
- 505 UDMV
- 602、803 送信系列A
- 603、804 送信系列B
- 801 CRC検査ビット付加器
- 802 インバーチブル符号化器
- 901 検波器
- 902 メモリA
- 903 メモリB
- 904 等化器A
- 905 等化器B
- 907 CRC検査器A
- 908 CRC検査器B
- 909 選択決定器
- 910 セレクタ

【図1】

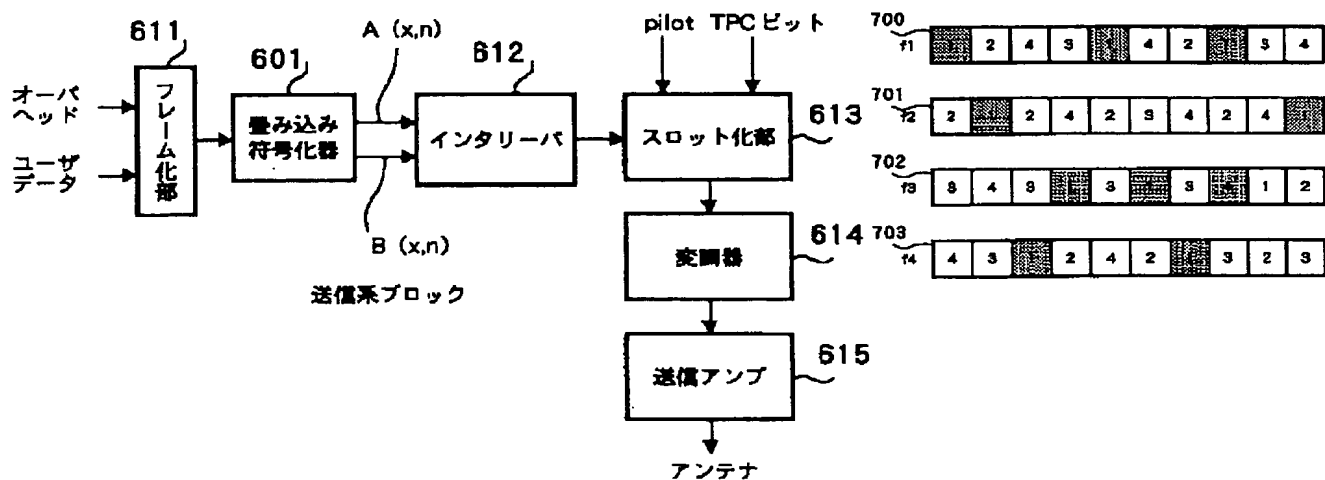


【図2】



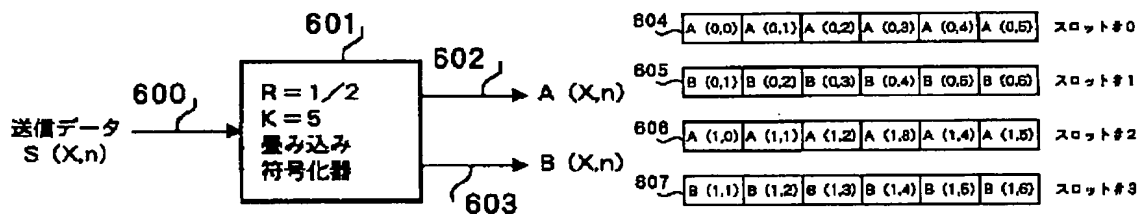
【図4】

【図7】

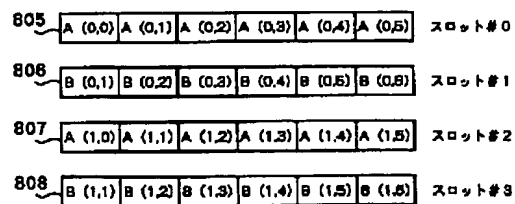


【図5】

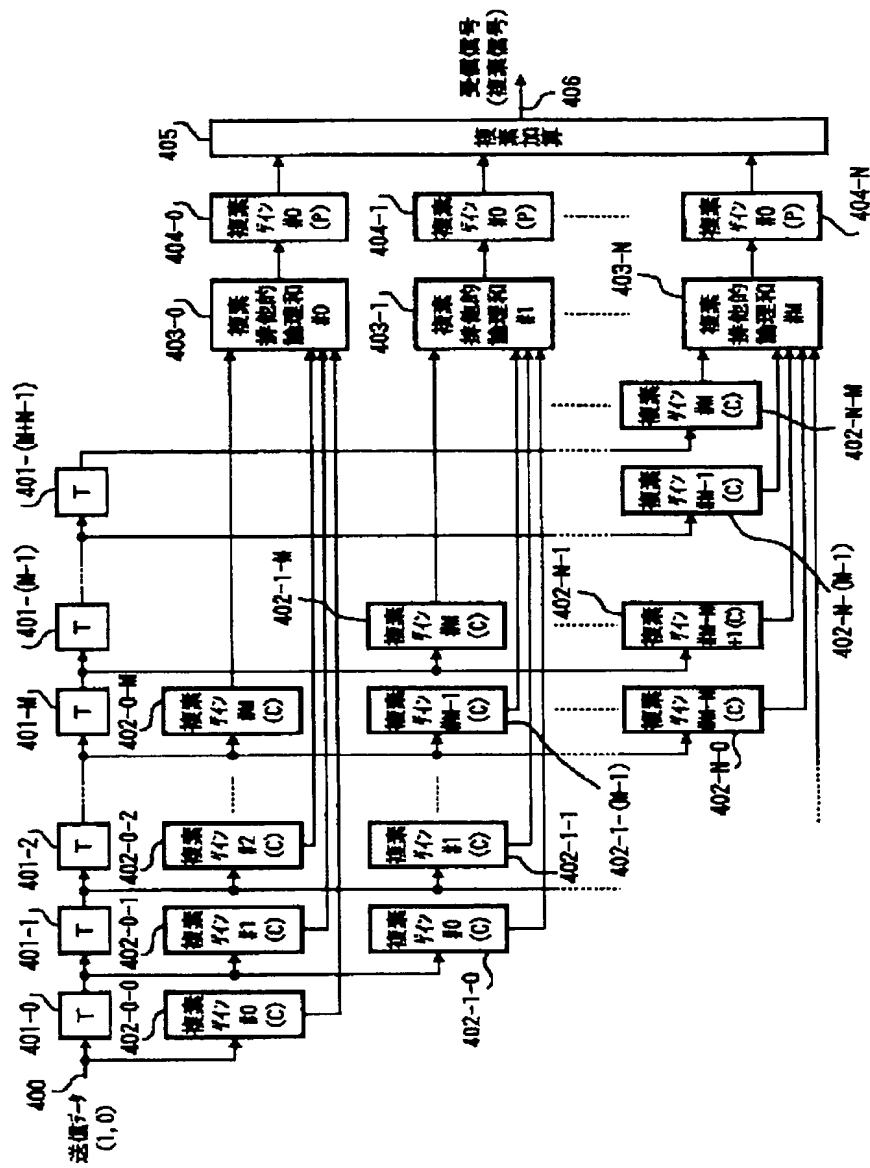
【図6】



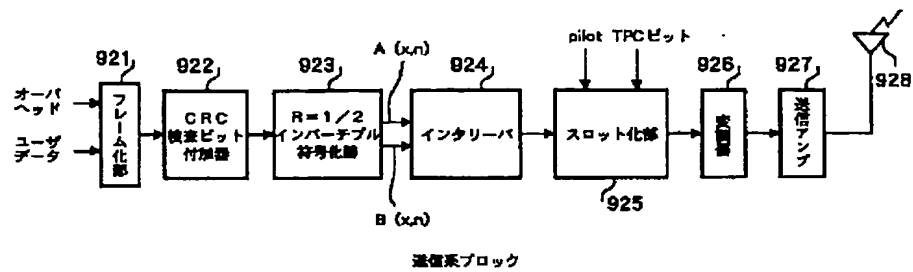
【図11】



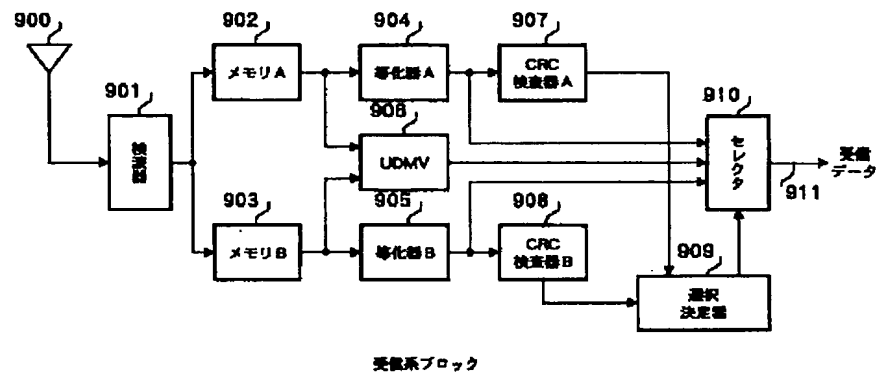
【図3】



【図8】



【図9】

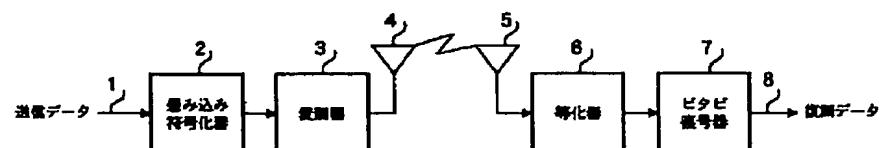


【図10】

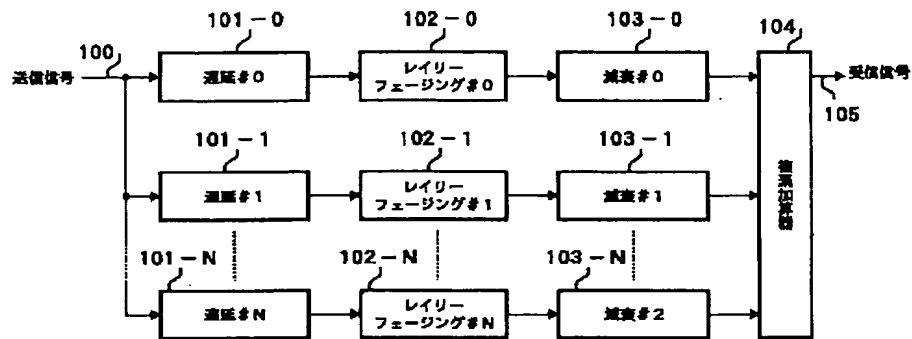
選択決定器910とセレクタ911による選択処理

CRC検査器A907結果	CRC検査器B908結果	選択されるデータ
OK	OK	等化器A904の出力 (等化器B905の出力でも可)
OK	NG	等化器A904の出力
NG	OK	等化器A905の出力
NG	NG	UDMY906の出力

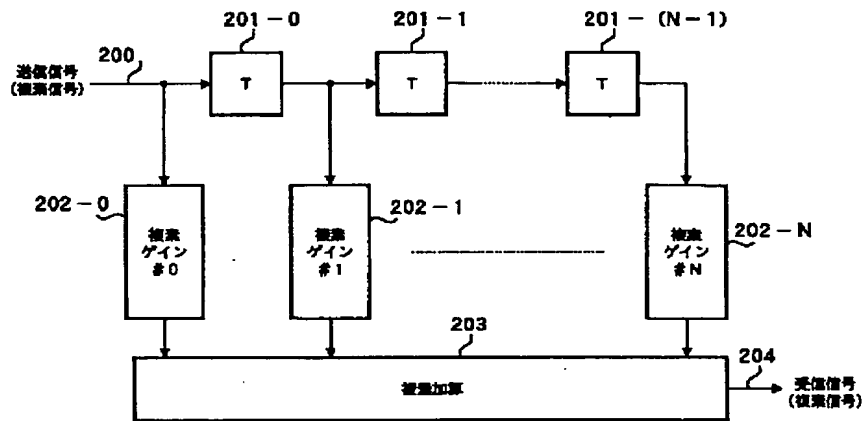
【図12】



【図13】



【図14】



【図15】

